

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-138973

(43)Date of publication of application : 23.07.1985

(51)Int.Cl.

H01L 29/78

H01L 21/265

(21)Application number : 58-247134

(71)Applicant : FUJI ELECTRIC CORP RES & DEV LTD

(22)Date of filing : 27.12.1983

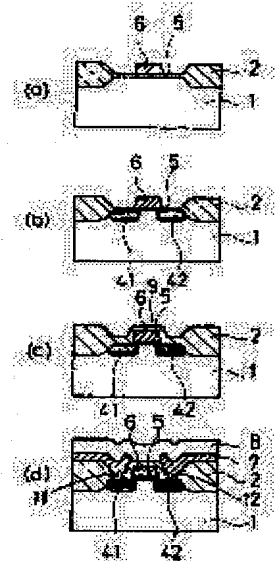
(72)Inventor : SHIMIZU AKINORI

(54) MANUFACTURE OF INSULATED GATE TYPE FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To enable the self-aligning formation of a source and drain region with using a gate electrode of metal such as aluminum by performing activation of impurities implanted into a source and drain region of MISFET by use of a metallic gate electrode and a field oxide film as masks by using an inert gas plasma with low temperature.

CONSTITUTION: After forming a thick oxide film 2 in a field part of an n type Si substrate 1 and a gate oxide film 5 in an element region, a gate electrode 6 consisting of aluminum is deposited. By using the gate electrode 6 and the field oxide film 2 as masks, boron ions are implanted in a source and drain region. The semiconductor substrate is arranged on a negativs plate and Ar gas is introduced to generate an Ar gas plasma. Then by utilizing the energy of said plasma, activation of ion implantation regions 41 and 42 is contrived. A CVD oxide film 9 is coated as an interlayer insulating film. After Contact holes 11 and a metallic wiring, e.g., an aluminum-silicon alloy film wiring 7 is formed, passivation with a plasma nitride film 8 is performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-138973

⑬ Int.Cl.⁴

H 01 L 29/78
21/265

識別記号

庁内整理番号

8422-5F
6603-5F

⑭ 公開 昭和60年(1985)7月23日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 絶縁ゲート型電界効果トランジスタの製造方法

⑯ 特 願 昭58-247134

⑰ 出 願 昭58(1983)12月27日

⑱ 発 明 者 清水 了 典 横須賀市長坂2丁目2番1号 株式会社富士電機総合研究
所内

⑲ 出 願 人 株式会社富士電機総合 横須賀市長坂2丁目2番1号
研究所

⑳ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 絶縁ゲート型電界効果トランジスタ
の製造方法

2. 特許請求の範囲

1) 一導電形の半導体基板の所定の領域に絶縁膜を介して金属からなるゲート電極、別の所定の領域に絶縁層を形成したのち、前記ゲート電極および絶縁層をマスクとして反対導電形の不純物を注入し、次いで不活性ガスプラズマを用いて注入不純物を活性化することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

2) 特許請求の範囲第1項記載の方法において、ゲート電極がアルミニウムからなることを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

3) 特許請求の範囲第1項または第2項記載の方法において、不活性ガスプラズマがアルゴンガスプラズマであることを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は、例えばアルミニウムのような金属からなるゲート電極を有する絶縁ゲート型電界効果トランジスタの製造方法に関する。

〔従来技術とその問題点〕

この種の技術としては、従来第1図(a)乃至(d)に示すような製造方法によるのが一般的であつた。すなわち、第1図(a)は、シリコン基板1の素子形成領域を除く表面を選択的に厚いフィールド酸化膜2で被り工程、第1図(b)は、化学的気相成長法(以下CVD法と記す)により酸化膜の堆積したのち選択エッチングによりゲート電極予定領域にCVD酸化膜3を微層形成し、フィールド酸化膜2とCVD酸化膜3をマスクとして熱拡散法もしくはイオン注入法により基板1と反対導電型の不純物を導入し、さらに高温ドライブイン工程により活性化してソース・ドレイン領域を41、42形成する工程、第1図(c)は、CVD酸化膜3のゲート電極形成領域31をエッチング除去した後、ゲート膜

化膜5を熱酸化法により成長させる工程、第1図(d)はアルミニウム、もしくは、アルミニウムを主成分とする合金により、ゲート電極6および配線7を形成し、次いでパッシベーション膜8を堆積する工程とである。上記の方法では、アルミニウムの融点が660℃と低いため、アルミニウムゲート電極6の形成をソース・ドレイン領域41, 42の拡散工程後に行っている。しかし、ゲート電極6の形成の際、マスク合わせ精度の余裕を考慮しなければならず、そのためにゲート電極6とソース・ドレイン領域41, 42との重なりが生じ、寄生容量が大きくなるという欠点があった。

この寄生容量を低減させるためには、多結晶シリコンゲート電極による自己整合的なソース・ドレイン領域形成法がとられる場合が多い。しかし、この方法では線幅の微細化とともに多結晶シリコン配線の抵抗が高くなり、寄生容量が低減するにもかかわらず動作速度が向上しないという問題が新たに生じてきた。

〔発明の目的〕

本発明は、上記の欠点を除去して、寄生容量、配線抵抗とともに低減するため、アルミニウムのような金属のゲート電極を用いてしかも自己整合的なソース・ドレイン領域形成が可能となるようなMISFETの製造方法を提供することを目的とする。

〔発明の要点〕

本発明は一導電形の半導体基板の所定の領域に絶縁膜を介して金属からなるゲート電極、別の所定の領域に絶縁層を形成したのち、ゲート電極および絶縁層をマスクとして反対導電形の不純物を注入し、次いで不活性ガスプラズマを用いて注入不純物を活性化することにより上記の目的を達成する。

〔発明の実施例〕

以下、図を引用して、本発明の実施例を説明する。第2図(a)乃至(d)は、本発明の一実施例の工程を示す断面図であり、ゲート金属としてアルミニウムを用いた例である。まず第2図(a)は、n形シ

リコン基板1のフィールド部に1 μ m程度の厚い酸化膜2を、素子領域には、300Åのゲート酸化膜5を形成した後、アルミニウムから成るゲート電極6を堆積する工程である。アルミニウム電極6の厚さは、5000Åである。第2図(b)の前半は、基板表面に不純物を注入する工程である。具体的には、ゲート電極6とフィールド酸化膜2とをマスクとして、ソース・ドレイン領域に加速電圧30keV、ドーズ量 $2 \times 10^{15} \text{cm}^{-2}$ でほう素イオンを打込む。注入深さは0.15 μ m程度である。後半が本発明の適用工程であり、注入された不純物を活性化する工程である。実際には、上記半導体基板を300℃の陰極板の上に配置し、チャンパー内に、アルゴンガスを導入して、ガス圧力0.1Torr、直流印加電圧1000Vでアルゴンガスプラズマを発生させ、プラズマのエネルギーを利用して、イオン注入領域41, 42の活性化を図る。表面ほう素濃度は $1 \times 10^{20} \text{cm}^{-3}$ 程度である。第2図(c)に示す工程では、5000ÅのCVD酸化膜9を層間絶縁膜として被着させる。第2図(d)は周知の工程であり、

ソース・ドレイン領域41, 42上にコンタクトホール11, 12を開孔し、金属配線例えば5000Å厚のアルミニウム・シリコン合金膜配線7を形成した後、1 μ m厚のプラズマ酸化膜8でパッシベーションを施す工程である。

他の実施例として、不純物の基板への注入にプラズマを用いる方法が挙げられる。この方法では、n形シリコン基板を300℃の陰極板の上に配置し、チャンパー内に水素で1000ppm希釈したB₂H₆ガスを導入して、ガス圧力2Torr、直流印加電圧500Vでプラズマを発生させ、ほう素を注入する。注入時間1分で、表面濃度 $1 \sim 2 \times 10^{20} \text{cm}^{-3}$ 、接合深さ0.1 μ mの浅いほう素注入層が形成される。この例の場合、アルゴンガスプラズマによる注入不純物の活性化は同じチャンパー内で連続して行なうことができる。

〔発明の効果〕

本発明によれば、金属ゲート電極とフィールド酸化膜をマスクとしてMISFETのソース・ドレイン領域へ注入された不純物の活性化を、アルゴン



ガスプラズマのような不活性ガスプラズマを用いて300℃以下の低温で行えるようにしたので、寄生容量低減法として有効な、ゲートによる自己整合的な不純物導入をアルミニウムのような低融点金属ゲートの場合でも適用でき、アルミニウムの低抵抗性と相まって、動作速度の大幅な改善が可能となつた。また、活性化を低温で行うことができるためソース・ドレイン領域の接合深さが、0.1~0.2 μm と浅いため、寄生容量の一層の低減と短チャネル効果の防止という二つの効果も合わせて得られた。

なお、本発明は、ゲート電極として、アルミニウムだけではなく、他の種々の金属の場合でも適用できることは言うまでもないであろう。

4. 図面の簡単な説明

第1図は、従来の絶縁アルミゲート型電界効果トランジスタの製造工程を示す断面図、第2図は本発明の一実施例の工程を示す断面図である。

1……シリコン基板、2……フィールド酸化膜、41, 42……ソース・ドレイン領域、5……ゲート

